

519, 175

20 DEC 2004

PCT'd PCT

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 4 月 8 日 (08.04.2004)

PCT

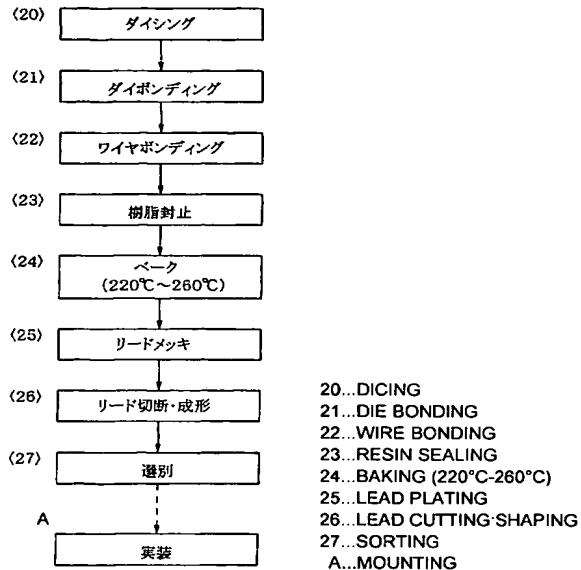
(10) 国際公開番号
WO 2004/030075 A1

- (51) 国際特許分類: H01L 21/56, 23/12
- (21) 国際出願番号: PCT/JP2002/009975
- (22) 国際出願日: 2002 年 9 月 26 日 (26.09.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都 千代田区 神田駿河台四丁目 6 番地 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 長埜 浩太 (NAGANO,Kouta) [JP/JP]; 〒300-0013 茨城県 土浦市 神立町 502 番地 株式会社日立製作所 機械研究所 内 Ibaraki (JP). 三浦 英生 (MIURA,Hideo) [JP/JP]; 〒300-0013 茨城県 土浦市 神立町 502 番地 株式会社日立製作所 機械研究所 内 Ibaraki (JP).
- 300-0013 茨城県 土浦市 神立町 502 番地 株式会社日立製作所 機械研究所内 Ibaraki (JP). 矢口 昭弘 (YAGUCHI,Akihiro) [JP/JP]; 〒300-0013 茨城県 土浦市 神立町 502 番地 株式会社日立製作所 機械研究所内 Ibaraki (JP).
- (74) 代理人: 秋田 収喜 (AKITA,Shuki); 〒114-0013 東京都 北区 東田端 1 丁目 13 番 9 号 ツインビル田端 B 2 階 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, KR, SG, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).
- 添付公開書類:
— 国際調査報告書

(締葉有)

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: A method for manufacturing a semiconductor device including, after a step for resin sealing a semiconductor chip by thermosetting a thermosetting resin and before a step for inspecting the characteristics of the semiconductor chip, a step for baking the thermosetting resin at a temperature higher than the resin sealing temperature in the resin sealing step.

(57) 要約:

半導体装置の製造において、熱硬化性樹脂を熱硬化させて半導体チップを樹脂封止する工程の後であって、前記半導体チップの特性を検査する工程の前に、前記樹脂封止工程における樹脂封止温度よりも高い温度で前記熱硬化性樹脂にベーク処理を施す工程を含む。

WO 2004/030075 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明細書

半導体装置の製造方法

技術分野

本発明は、半導体装置の製造技術に関し、特に、半導体チップを樹脂封止する半導体装置に適用して有効な技術に関するものである。

背景技術

集積回路が内蔵された半導体チップを樹脂封止する半導体装置の一つに、例えばT S O P (Thin Small Outline Package) 型と呼称される半導体装置が知られている。このT S O P型半導体装置においては、リードフレームのダイパッド（タブとも言う）を省略し、大型の半導体チップにも対応可能なL O C (Lead On Chip) 構造を採用したものも知られている。

L O C構造を採用するT S O P型半導体装置は、主に、半導体チップと、前記半導体チップの正面である回路形成面に絶縁性フィルム（絶縁性テープ）を介在して接着固定された複数のリードと、前記半導体チップの回路形成面の複数の電極と前記複数のリードとを夫々電気的に接続する複数のボンディングワイヤ（金属細線）と、前記半導体チップ、複数のリード及び複数のボンディングワイヤ等を樹脂封止した樹脂封止体とを有する構成になっている。前記複数のリードは、前記樹脂封止体の内部に位置する内部リード部（インナーリード）と、この内部リード部に連なり、かつ前記樹脂封止体の外部に位置する外部リード部（アウターリード）とを有する構成になっている。前記外部リード部は、面実装型リード形状の一つであるガルウィング型に折り曲げ成形されている。

LOC構造を採用するT S O P型半導体装置の製造は、まず、複数のチップ形成領域が形成された半導体ウエハをダイシングにより個片の半導体チップへと分割し、その後、分割された半導体チップをリードフレームに固定する。リードフレームへの半導体チップの固定は、半導体チップの回路形成面に絶縁性フィルを介在してリードフレームのリードの内部リード部を接着することによって行われる。
5

次に、半導体チップの回路形成面の電極とリードフレームのリードの内部リード部とをボンディングワイヤで電気的に接続し、その後、半導体チップ、リードの内部リード部、ボンディングワイヤ、吊りリード等
10 を樹脂封止して樹脂封止体を形成する。樹脂封止は、大量生産に好適なトランスファ・モールディング法で行われる。樹脂としては、例えば、フェノール系硬化剤、シリコーンゴム及びフィラー等が添加されたエポキシ系の熱硬化性樹脂が使用される。樹脂封止温度(熱硬化させる温度)は約180°Cである。

15 次に、樹脂封止温度と同程度の温度で約5時間のポストキュアを行い、熱硬化性樹脂の硬化反応を安定化させる。

次に、リードフレームのフレーム本体からリードの外部リード部を切断すると共に、リードフレームの不要分部を切断し、その後、リードの外部リード部を所定の形状(例えばガルウィング形状)に成形し、その後、リードフレームのフレーム本体から吊りリードを切断する。最後に、外部リード部及び樹脂封止体を含むパッケージの外観検査を行うと共に、
20 製品としての特性検査を行って良否を選別する。特性検査では、例えば90°Cで約16時間のエージング試験が実施される。エージング試験は、顧客での使用条件と比べて過酷な使用条件(付加を与えた状態)で回路動作を行い、顧客での使用中に欠陥になるもの、ある意味では欠陥を加速的に発生せしめ、顧客に出荷する前の初期段階において不良品の排除
25

を目的とするスクリーニング試験である。

以上の製造では、樹脂による封止（モールド）を高温で行っているため、室温までの冷却過程において樹脂が収縮し、一般に半導体チップには圧縮応力が発生する。

5

発明の開示

T S O P 型半導体装置は、電子装置の製造において、P C B (Printed Circuit Board) 等の配線基板（実装基板）に実装される。T S O P 型半導体装置の実装は、半田（はんだ）を溶融して、樹脂封止体の外部 10 に位置する外部リード部と、配線基板の電極（配線の一部からなる接続部）とを接合することによって行われる。

この実装工程において、T S O P 型半導体装置は高温にさらされるため、半導体チップを封止している熱硬化性樹脂の硬化反応が促進し、熱硬化性樹脂の収縮量が実装工程前よりも増加する場合がある。熱硬化性 15 樹脂の収縮量が増加した場合、半導体チップに作用する圧縮応力も増加することになるため、半導体チップに搭載された集積回路の特性が圧電効果（ピエゾ効果）等によって変化してしまう。集積回路の特性は、一つの回路機能を構築する電子装置の特性に影響するため、集積回路の特性が変化することによって電子装置の特性も変化してしまう。このこと 20 は、電子装置の製造歩留まりを低下させる要因となる。従って、半導体チップを封止している熱硬化性樹脂の実装工程における硬化反応は、できるだけ抑制する必要がある。

また、L O C 構造のT S O P 型半導体装置においては、異なる材料である半導体チップ（S i）とリード（F e系或いはC u系合金）とを接着し、樹脂で封止しているため、パッケージの厚さ方向の構造が非対称 25 になっている。このような非対称構造では、半導体チップ及びリードと、

その上下の樹脂間の収縮量の違いによってパッケージ全体に反りが生じる。従って、実装工程中に樹脂の収縮量が増加すると、パッケージの反り量が増加し、これに伴って半田接合部に集中する応力も増加するため、半田接合部の信頼性が著しく低下する。

5 従来、半導体装置と基板との接続には、主に Sn-37 [wt%] Pb 組成の半田が使用されてきたが、近年、環境保護の関係から Pb の使用が規制され、半導体装置の実装においても Pb フリー半田への切り替えが進められている。現在、Pb フリー半田の主流になっている Sn-Ag-Cu 系の半田は、従来の Sn-37 Pb 組成の半田に比べて融点
10 が高いため、実装温度も従来の 220°C ~ 240°C から約 260°C へと最大 40°C も高くなる。実装温度が上昇することにより、樹脂の硬化反応も更に進むため、Pb フリー半田実装品は、Sn-37 Pb 半田実装品以上に、半田実装時の熱硬化性樹脂の収縮量増加が重要な課題となっている。

15 本発明の他の目的は、実装工程における半導体装置の特性変化を抑制することが可能な技術を提供することにある。

本発明の他の目的は、電子装置の製造歩留まりの向上を図ることが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述
20 及び添付図面によって明らかになるであろう。

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

- (1) 半導体装置の製造において、熱硬化性樹脂を熱硬化させて半導体チップを樹脂封止する (a) 工程の後に、前記 (a) 工程での樹脂封止
25 温度よりも高い温度で前記熱硬化性樹脂をペークする (b) 工程を含む。
- (2) 前記手段 (1) に記載の半導体装置の製造において、

前記（b）工程は、220°C乃至260°Cの温度で行う。

（3）前記手段（1）に記載の半導体装置の製造において、

前記（b）工程の後に、前記半導体チップの特性を検査する（c）工程を更に含む。

5 （4）半導体装置の製造において、熱硬化性樹脂を熱硬化させて半導体チップを樹脂封止する（a）工程と、

前記（a）工程の後に、前記（a）工程での樹脂封止温度以下の温度、又は樹脂封止温度と同等或いはそれ以下の温度で前記熱硬化性樹脂をベークする（b）工程と、

10 前記（b）工程の後に、前記（a）工程での樹脂封止温度よりも高い温度で前記熱硬化性樹脂をベークする（c）工程とを含む。

（5）前記手段（4）に記載の半導体装置の製造において、

前記（c）工程は、220°C乃至260°Cの温度で行う。

（6）前記手段（4）に記載の半導体装置の製造において、

15 前記（c）工程の後に、前記半導体チップの特性を検査する（d）工程を更に含む。

（7）電子装置の製造において、熱硬化性樹脂を熱硬化させて半導体チップを樹脂封止する（a）工程と、前記（a）工程の後に、前記（a）工程での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にベーク処理を施す（b）工程と、前記（b）工程の後に、前記半導体チップの特性を検査する（c）工程とを含む製造方法によって製造された半導体装置を準備する工程と、

前記半導体装置を実装基板に半田付け実装する工程とを含む。

（8）前記手段（7）に記載の電子装置の製造において、

25 前記実装工程は、Pbフリー組成の半田を用いて行う。

図面の簡単な説明

第1図は、本発明の実施形態1である半導体装置の概略構成を示す模式的断面図である。

5 第2図は、本発明の実施形態1である半導体装置を組み込んだ電子装置の概略構成を示す模式的断面図である。

第3図は、本発明の実施形態1である半導体装置の製造に使用されるリードフレームの概略構成を示す模式的平面図である。

第4図は、本発明の実施形態1である半導体装置の製造工程を示すフローチャートである。

10 第5図は、本発明の実施形態1である半導体装置の製造工程を示す模式的断面図である。

第6図は、第5図に続く半導体装置の製造工程を示す模式的断面図である。

15 第7図は、本発明の実施形態1である半導体装置の各温度におけるパッケージの反りの測定結果を示す図である。

第8図は、本発明の実施形態1の変形例である半導体装置の製造工程を示すフローチャートである。

第9図は、本発明の実施形態2である半導体装置の概略構成を示す模式的断面図である。

20 第10図は、本発明の実施形態2である半導体装置を組み込んだ電子装置の概略構成を示す模式的断面図である。

第11図は、本発明の実施形態3である半導体装置の概略構成を示す模式的断面図である。

25 第12図は、本発明の実施形態3である半導体装置を組み込んだ電子装置の概略構成を示す模式的断面図である。

第13図は、本発明の実施形態3である半導体装置の製造工程を示す

模式的断面図である。

第14図は、本発明の実施形態4である半導体装置の概略構成を示す模式的断面図である。

第15図は、本発明の実施形態4である半導体装置を組み込んだ電子
5 装置の概略構成を示す模式的断面図である。

第16図は、本発明の実施形態4である半導体装置の製造工程を示す模式的断面図である。

第17図は、第16図に続く半導体装置の製造工程を示す模式的断面
図である。

10 第18図は、本発明の実施形態5である半導体装置の概略構成を示す模式的断面図である。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、
15 発明の実施の形態を説明するための全図において、同一機能を有するも
のは同一符号を付け、その繰り返しの説明は省略する。

(実施形態1)

本実施形態1では、T S O P型半導体装置に本発明を適用した例につ
いて説明する。

20 第1図は、本実施形態1の半導体装置の概略構成を示す模式的断面図
であり、

第2図は、本実施形態1の半導体装置を組み込んだ電子装置の概略構
成を示す模式的断面図である。

第1図に示すように、本実施形態1の半導体装置1は、主に、半導体
25 チップ2、複数のリード4からなる第1及び第2のリード群、複数のボ
ンディングワイヤ(金属細線)6、樹脂封止体7等を有する構成になっ

ている。半導体チップ2、第1及び第2のリード群の複数のリード4、複数のボンディングワイヤ6等は、樹脂封止体7によって樹脂封止されている。

半導体チップ2は、その厚さ方向において互いに反対側に位置する回路形成面（主面）及び裏面を有し、その厚さ方向と交差する平面形状が方形形状になっており、本実施形態では例えば長方形になっている。また、半導体チップ2は、これに限定されないが、主に、半導体基板と、この半導体基板の主面に形成された複数のトランジスタ素子と、前記半導体基板の主面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層と、この多層配線層を覆うようにして形成された表面保護膜（最終保護膜）とを有する構成になっている。半導体基板は、例えば単結晶シリコンで形成されている。絶縁層は、例えば酸化シリコン膜で形成されている。配線層は、例えばアルミニウム(A1)、又はアルミニウム合金、又は銅(Cu)、又は銅合金等の金属膜で形成されている。表面保護膜は、例えば、酸化シリコン膜又は窒化シリコン膜等の無機絶縁膜及び有機絶縁膜を積み重ねた多層膜で形成されている。

半導体チップ2には、集積回路として例えば256メガビットのDDR SDRAM (Double Data Rate Synchronous Dynamic Random Access Memory) 回路が内蔵されている。この集積回路は、主に、半導体基板の主面に形成されたトランジスタ素子及び多層配線層に形成された配線等によって構成されている。

半導体チップ2の回路形成面には、複数の電極（ボンディングパッド）3が配置されている。複数の電極3は、半導体チップ2の多層配線層のうちの最上層の配線層に形成され、半導体チップ2の表面保護膜に形成されたボンディング開口部によって露出されている。本実施形態において、複数の電極3は、半導体チップ2の主面の長手方向（長辺方向）の

中心線に沿って配置されている。

樹脂封止体7は、その厚さ方向において互いに反対側に位置する主面及び裏面（実装面）を有し、その厚さ方向と交差する平面形状が方形状になっており、本実施形態では例えば長方形になっている。

5 第1のリード群のリード4は、樹脂封止体7の互いに反対側に位置する2つの長辺のうちの一方の長辺に沿って配置され、第2のリード群のリード4は、樹脂封止体7の他方の長辺に沿って配置されている。第1及び第2のリード群のリード4は、樹脂封止体7の内部に位置する内部リード部4aと、この内部リード部4aに連なり、かつ樹脂封止体7の外部に位置する外部リード部4bとを有し、樹脂封止体7の内外に亘って延在している。

10 第1及び第2のリード群において、リード4の内部リード部4aは、絶縁性フィルム5を介在して半導体チップ2の主面に接着固定されており、更に、ボンディングワイヤ6を介して半導体チップ2の電極3と電気的に接続されている。即ち、本実施形態1のT S O P型半導体装置1は、半導体チップ2の主面上にリード4を配置したL O C構造になっている。ボンディングワイヤ6としては、例えばAuワイヤを用いている。ワイヤの接続方法としては、例えば、熱圧着に超音波振動を併用したネイルヘッドボンディング法を用いている。

15 第1及び第2のリード群において、リード4の外部リード部4bは、例えば面実装型リード形状の一つであるガルウィング型に曲げ成形されている。また、リード4の外部リード部4bには、その表面を覆うようにしてメッキ層（導電性被膜）8が設けられている。メッキ層8は、配線基板に半導体装置1を半田付け実装する時に使用する半田（接合材）との接合性（濡れ性）を良好にする目的として設けられている。例えばSn-37 [wt%] Pb組成の半田を使用する場合、メッキ層8とし

ては、例えば Sn-Pb 組成のメッキ層、若しくは Ni/Pd/Au の多層メッキ層を使用する。また、例えば Pb フリー組成の半田を用いる場合、メッキ層 8 としては、例えば Sn-Bi 組成のメッキ層、若しくは Ni/Pd/Au の多層メッキ層を使用する。

5 このように構成された T S O P 型半導体装置 1 は、電子装置の製造において、第 2 図に示すように、PCB 等の配線基板 16 に実装される。半導体装置 1 の実装は、樹脂封止体 7 の外部に位置する外部リード部 4 b と、配線基板 16 の電極（配線の一部からなる接続部）17 とを半田 18 で接合することによって行われる。

10 第 3 図は、本実施形態 1 の半導体装置の製造に使用されるリードフレームの概略構成を示す模式的平面図である。なお、実際のリードフレームは、生産性を高めるため、複数の製品形成部を有する多連構造になっているが、図面を見易くするため、一つの製品形成部を図示している。

15 第 3 図に示すように、リードフレーム LF は、フレーム本体 10 で区画された製品形成部 11 の中に、複数のリード 4 からなる第 1 及び第 2 のリード群、2 つの吊りリード 13 等を配置した構成になっている。本実施形態において、製品形成部 11 の平面形状は、例えば長方形状になっている。

20 第 1 及び第 2 のリード群は、X 方向（製品形成部 11 の短辺方向）において、互いに向かい合い、かつ離間して配置されている。第 1 及び第 2 のリード群の各リード 4 は、X 方向と直行する Y 方向（製品形成部 11 の長辺方向）に沿って配置されている。第 1 及び第 2 のリード群において、互いに隣り合うリード 4 はタイバー 12 を介して連結されている。また、各リード 4 の一端側（内部リード部 4a の先端側）において、ワイヤ接続面と反対側の面には、製品形成部 11 の長辺方向に沿って延在する絶縁性フィルム 5 が貼り付けられている。また、各リード 4 の一端

側と反対側の他端側（外部リード4bの先端側）は、フレーム本体10に連結されている。

2つの吊りリード13は、Y方向において、互いに向かい合い、かつ離間して配置され、フレーム本体10に連結されている。

5 リードフレームLFは、例えばFe-Ni系、或いはCu系の合金材からなる金属板にエッチング加工、或いはプレス加工を施して所定のリードパターンを形成し、その後、リード4の内部リード部4aに絶縁性フィルム5を貼り付けることによって形成される。

10 次に、半導体装置1の製造について、第4図乃至第6図を用いて説明する。

第4図は、本実施形態1の半導体装置の製造工程を示すフローチャートであり、

第5図は、本実施形態1の半導体装置の製造工程を示す模式的断面図であり、

15 第6図は、第5図に続く半導体装置の製造工程を示す模式的断面図である。

まず、第4図<20>及び第5図(a)に示すように、複数のチップ形成領域が形成された半導体ウエハ15をダイシングにより個片の半導体チップ2へと分割する。

20 次に、第4図<21>及び第5図(b)に示すように、分割された半導体チップ2をリードフレームLFに固定(ダイボンディング)する。リードフレームLFへの半導体チップ2の固定は、半導体チップ2の回路形成面に絶縁性フィルム5を介在してリードフレームLFのリード4の内部リード部4aを接着することによって行われる。

25 次に、第4図<22>及び第5図(c)に示すように、半導体チップ2の電極3と、リードフレームLFのリード4の内部リード部4aとを

ポンディングワイヤ 6 で電気的に接続する (ワイヤポンディング)。

次に、第 4 図 <23> 及び第 5 図 (d) に示すように、半導体チップ 2、リード 4 の内部リード部 4a、ポンディングワイヤ 6、吊りリード 13 等を樹脂封止して樹脂封止体 7 を形成する。樹脂封止は、大量生産 5 に好適なトランスファ・モールディング法で行う。樹脂としては、これに限定されないが、例えば、低応力化を図るため、フェノール系硬化剤、シリコーンゴム及びフィラー等が添加されたエポキシ系の熱硬化性樹脂を用いる。トランスファ・モールディング法は、ポット、ランナー、流入ゲート及びキャビティ等を備えた成形金型(モールド金型)を使用し、10 ポットからランナー及び流入ゲートを通してキャビティ内に熱硬化性樹脂を注入して樹脂封止(樹脂封止体を形成)する方法である。樹脂封止 温度(熱硬化させる温度)は約 180°C である。即ち、半導体チップ 2、リード 4 の内部リード部 4a、ポンディングワイヤ 6、吊りリード 13 等は、熱硬化性樹脂を熱硬化させることによって樹脂封止される。

15 次に、第 4 図 <24> 及び第 6 図 (a) に示すように、220°C~260°C で樹脂封止体 7 にペーク処理を施し、熱硬化性樹脂の硬化反応を安定化させる。ペーク時間は熱硬化性樹脂の硬化具合に合わせて選択する。

次に、樹脂封止体 7 の温度を常温に戻した後、第 4 図 <25> に示す 20 ようにリードメッキ処理を施して、第 6 図 (b) に示すように、樹脂封止体 7 の外部に位置する外部リード部 4b にメッキ層 8 を形成する。

次に、第 4 図 <26> に示すように、リード切断・成形工程を施す。このリード切断・成形工程は、リードフレーム LF のフレーム本体 10 からリード 4 の外部リード部 4b を切断して分離する工程、リードフレ 25 ーム LF の不要部分を切断する工程、フレーム本体 10 から分離された 外部リード部 4b を例えば面実装型リード形状の一つであるガルウィン

グ型リード形状に折り曲げ成形する工程、第6図(c)に示すように、折り曲げ成形された外部リード部4bの先端を切断して先端の位置を揃える工程等を含む。この工程により、第1図に示す半導体装置1がほぼ完成する。

- 5 この後、外部リード部4a及び樹脂封止体7を含むパッケージの外観検査を行うと共に、製品としての特性検査を行って良否を選別する(第4図<27>参照)。特性検査では、例えば90°Cで約16時間のエージング試験を実施した後、半導体チップ2に搭載された集積回路の特性を検査する。この工程において、性能が低下した半導体装置1については
10 各性能別に分類して製品出荷することも可能である。

このようにして製造された半導体装置1は、パソコン・コンピュータ等の電子機器の組立工程、若しくはメモリ・モジュール等の電子装置の組立工程において、第2図に示すように、PCB等の配線基板16に実装される。

- 15 第7図は、本実施形態1の半導体装置の各温度におけるパッケージ反りの測定結果を示す図である。

第7図に示すように、樹脂封止後のパッケージには厚さ方向の非対称性からモールド後に反りが発生する(a)。このパッケージを245°Cまで加熱(加熱1:a→b)し、その後、室温まで冷却(冷却1:b→c)すると、パッケージの反り量が増加する(c)。しかし、再び245°Cへ加熱(加熱2:c→d)し、その後、冷却(冷却2:d→e)しても、室温でのパッケージ反りは1度目加熱後の反りからほとんど変化しない(e)。このことから、一度高温で熱硬化性樹脂の硬化反応を安定化させると、その後は再び加熱してもパッケージの反りは増加せず、これによ
25 って半導体チップ2に作用する圧縮応力も増加することがない。

従って、半導体装置1の製造において、第4図に示すように、熱硬化

性樹脂を熱硬化させて半導体チップ2を樹脂封止する工程〈23〉の後に、前記樹脂封止工程〈23〉での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にピーク処理を施す工程〈24〉を実施することにより、配線基板16に半導体装置1を半田付け実装する実装工程において、半導体チップ2を封止した熱硬化性樹脂の硬化反応が安定するため、半導体チップ2に作用する圧縮応力の増加を抑制することができる。この結果、半導体チップ2に搭載された集積回路の特性変化、即ち実装工程における半導体装置1の特性変化を抑制することができる。

また、実装工程におけるパッケージの反り量増加を抑制でき、半田接合部（配線基板16の電極17と半導体装置1のリード4とを半田18によって接合した部分）に集中する応力の増加も抑制できるため、半田接合部の信頼性を高めることができる。

半田付け実装する時の実装温度は、使用する半田の種類に応じて異なるため、半導体チップ2を封止した熱硬化性樹脂をピークする温度は、配線基板16に半導体装置1を実装する時の実装温度に応じて選定することが望ましい。例えば、半田付け実装にSn—37Pb組成の半田を使用する場合の実装温度は220°C～240°Cであるため、この実装温度に合わせて熱硬化性樹脂のピーク温度も同程度にすることが望ましい。また、半田付け実装にSn—Ag—Cu系のPbフリー半田を使用する場合の実装温度は240°C～260°Cであるため、この実装温度に合わせて熱硬化性樹脂のピーク温度も同程度にすることが望ましい。

現在、Pbフリー半田の主流になっているSn—Ag—Cu系の半田は、Sn—37Pb組成の半田に比べて融点が高いため、220°C～240°Cから約260°Cへと最大40°Cも実装温度が高くなる。従って、本発明は、特に、Pbフリー半田を用いて半導体装置1を実装する場合に有効である。

半導体装置 1 の製造において、熱硬化性樹脂を熱硬化させて半導体チップ 2 を樹脂封止する工程 <23> の後に、前記樹脂封止工程 <23> での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にペーク処理を施す工程 <24> を実施した場合、実装工程における半導体装置 1 の特性 5 变化を抑制することができるが、ペーク処理工程において熱硬化性樹脂の硬化反応が促進するため、半導体チップ 2 に作用する圧縮応力が増加し、これに伴って半導体チップ 2 に搭載された集積回路の特性も変化する。一方、半導体装置 1 の製造では、外部リード部 4b 及び樹脂封止体 10 7 を含むパッケージの外観検査を行うと共に、半導体チップ 2 に搭載された集積回路の特性検査、即ち製品としての特性検査を行って良否を選別している。

従って、半導体装置 1 の製造において、熱硬化性樹脂を熱硬化させて半導体チップ 2 を樹脂封止する樹脂封止工程 <23> の後であって、半導体チップ 2 の特性を検査する特性検査工程の前に、半田付け実装する 15 温度と同等の熱履歴を加えることを目的に前記樹脂封止工程における樹脂封止温度よりも高い温度で前記熱硬化性樹脂にペーク処理を施す工程を実施することにより、本ペーク処理工程を施すことによって半導体チップ 2 の特性が大きく変化した半導体装置 1 を排除することができる、或いは各性能別に半導体装置 1 を分類して出荷することができる。

20 本実施形態において、半導体チップ 2 には集積回路として例えば D D R S D R A M 回路が搭載されている。この集積回路には、一般的に冗長性を持たせてあるため、半導体装置の特性検査工程において、性能信頼性の低下が検出された半導体装置 1 においては、規定の性能を満たすよう、予め回路に組み込んだ電気ヒューズを用いて回路構成を切り替える 25 救済を行う事も可能である。そこで、救済を実施した半導体装置 1 を再び性能信頼性検査を行い出荷する。この際、半導体装置 1 については各

性能別に分類出荷することも可能である。

半導体装置 1 は、電子装置の製造において、他の電子部品と共に配線基板 16 に実装される。従って、電子装置の製造において、前述の製造方法で製造された半導体装置 1 を配線基板 16 に半田付け実装することにより、実装工程における半導体装置 1 の特性変化を抑制することができると共に、パッケージの反りに起因する半田接合部（配線基板 16 の電極 17 と半導体装置 1 のリード 4 とを半田 18 によって接合した部分）の信頼性を高めることができる。また、実装工程における半導体装置 1 の特性変化を抑制することができるため、電子装置の製造歩留まりの向上を図ることができる。
5
10

なお、本実施形態 1 では、半導体チップ 2 に搭載される集積回路として DDR SDRAM 回路を例にして説明したが、SRAM (Static Random Access Memory)、フラッシュメモリと呼称される EEPROM (Electrically Erasable Programmable Read Only Memory) 等
15 の記憶回路、制御回路、論理回路、或いはこれらを混載したシステム回路においても同様の効果が得られる。

第 8 図は、本発明の実施形態 1 の変形例である半導体装置の製造工程を示すフローチャートである。

前述の実施形態 1 では、第 4 図に示すように、ポストキュア工程を省略した例について説明したが、第 8 図に示すように、熱硬化性樹脂を熱硬化させて半導体チップ 2 を樹脂封止する工程 <23> の後に、前記樹脂封止工程 <23> での樹脂封止温度と同程度の温度で約 5 時間のポストキュア工程 <28> を実施し、その後、前記樹脂封止工程 <23> での樹脂封止温度よりも高い温度で前記熱硬化性樹脂に短時間のベーク処理を施す工程 <24> を実施してもよい。この場合においても、前述の実施形態 1 と同様の効果が得られる。
20
25

なお、ピーク処理工程〈24〉を実施する代わりに、エージング試験等の性能信頼性検査において、性能検査初期温度を220°C～260°Cで数10秒～数分与えた後、性能信頼性検査を行って良否を選別してもよい。

5 (実施形態2)

本実施形態では、リードフレームの一面（正面）側に片面モールドを行って樹脂封止体を形成し、樹脂封止体の一面に外部電極端子であるリードを露出させるパッケージ構造のノンリード型半導体装置として、樹脂封止体一面の両側縁にリードを露出させるS O N (Small Outline Non-Leaded Package) 型半導体装置に本発明を適用した例について説明する。

第9図は、本実施形態2の半導体装置の概略構成を示す模式的断面図であり、

第10図は、本実施形態2の半導体装置を組み込んだ電子装置の概略構成を示す模式的断面図である。

第9図に示すように、本実施形態2の半導体装置30は、主に、ダイパッド31、ダイパッド31に搭載された半導体チップ2、半導体チップ2の周囲に配置された複数のリード32、半導体チップ2の複数の電極3と複数のリード32とを夫々電気的に接続する複数のボンディングワイヤ6、樹脂封止体7等を有する構成になっている。ダイパッド31、半導体チップ2、複数のリード32、複数のボンディングワイヤ6等は、樹脂封止体7によって樹脂封止されている。

複数の電極3及び複数のリード32は、半導体チップ2の互いに反対側に位置する2つの辺に沿って夫々配置されている。リード32は、その一部が樹脂封止体7の裏面（実装面）から露出し、その一部が外部電極端子として構成されている。

このように構成された S O N 型半導体装置 3 0 は、電子装置の製造において、第 1 0 図に示すように、P C B 等の配線基板 1 6 に実装される。半導体装置 3 0 の実装は、樹脂封止体 7 の裏面から露出するリード 3 2 の一部と、配線基板 1 6 の電極（配線の一部からなる接続部）1 7 とを 5 半田 1 8 で接合することによって行われる。

半導体装置 3 0 の樹脂封止体 7 は、熱硬化性樹脂を用いたトランスマルティング法によって形成される。従って、半導体装置 3 0 の製造において、第 4 図に示すように、熱硬化性樹脂を熱硬化させて半導体チップ 2 を樹脂封止する工程 < 2 3 > の後に、前記樹脂封止工程 < 2 10 10 > での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にペーク処理を施す工程 < 2 4 > を実施することにより、本実施形態 2 においても前述の実施形態 1 と同様の効果が得られる。

また、半導体装置 3 0 の製造において、熱硬化性樹脂を熱硬化させて半導体チップ 2 を樹脂封止する樹脂封止工程 < 2 3 > の後であって、半 15 導体チップ 2 の特性を検査する特性検査工程の前に、前記樹脂封止工程における樹脂封止温度よりも高い温度で前記熱硬化性樹脂にペーク処理を施す工程を実施することにより、本実施形態 2 においても前述の実施形態 1 と同様の効果が得られる。

また、電子装置の製造において、前述の製造方法で製造された半導体 20 装置 3 0 を配線基板 1 6 に半田付け実装することにより、本実施形態 2 においても前述の実施形態 1 と同様の効果が得られる。

前述の T S O P 型半導体装置 1 は、パッケージの反りに起因して半田接合部に集中する応力を外部リード部 4 b の変形で緩和することができるが、S O N 型半導体装置 3 0 は樹脂封止体 7 の裏面からリード 3 2 の一部を露出させた構造になっているため、パッケージの反りに起因して半田接合部に集中する応力を緩和することが困難である。従って、本発 25

明は、特に、樹脂封止体の一面に外部電極端子であるリードを露出させるパッケージ構造のノンリード型半導体装置に対して効果が大きい。

なお、本実施形態2ではSON型半導体装置について説明したが、本発明は、四角形状の樹脂封止体の一面の4辺側にリードを露出させるQ5 FN (Quad Flat Non-Leaded Package) 型半導体装置においても適用することができる。

また、第8図に示すように、熱硬化性樹脂を熱硬化させて半導体チップ2を樹脂封止する工程<23>の後に、前記樹脂封止工程<23>での樹脂封止温度と同程度の温度で約5時間のポストキュア工程<28>を実施し、その後、前記樹脂封止工程<23>での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にペーク処理を施す工程<24>を実施してもよい。

(実施形態3)

本実施形態3では、TCP型半導体装置に本発明を適用した例について説明する。TCP型半導体装置の製造技術は、その組立手段からTAB(Tape Automated Bonding)技術とも呼称されている。

第11図は、本実施形態3の半導体装置の概略構成を示す模式的断面図であり、

第12図は、本実施形態3の半導体装置を組み込んだ電子装置の概略構成を示す模式的断面図である。

第11図に示すように、本実施形態3の半導体装置35は、主に、半導体チップ2、半導体チップ2の回路形成面に接着された絶縁性フィルム36、絶縁性フィルム36に接着された複数のリード37、半導体チップ2の複数の電極3と複数のリード32とを夫々電気的に接続する複数のバンプ38、封止樹脂39等を有する構成になっている。

半導体チップ2の複数の電極3は、半導体チップ2の正面の長手方向

(長辺方向)の中心線に沿って配置されている。複数のリード37の夫々は、内部リード部37aと、この内部リード部37aに連なる外部リード部37bとを有し、半導体チップ2の内外に亘って延在している。内部リード部37aは、絶縁性フィルム36を介在して半導体チップ2の回路形成面に接着固定され、外部リード部37bは、面実装型リード形状の一つである例えばガルウィング形状に折り曲げ成形されている。

半導体チップ2、絶縁性フィルム36、複数のリード37の夫々の内部リード部37a、複数のバンプ38等は、封止樹脂39によって樹脂封止されている。

このように構成されたTCP型半導体装置35は、電子装置の製造において、第12図に示すように、PCB等の配線基板16に実装される。半導体装置35の実装は、リード37の外部リード部37bと、配線基板16の電極(配線の一部からなる接続部)17とを半田18で接合することによって行われる。

次に、半導体装置35の製造について、第13図を用いて説明する。第13図は、本実施形態3の半導体装置の製造工程を示す模式的断面図である。

まず、複数のチップ形成領域が形成された半導体ウェハ15をダイシングして、第13図(a)に示す半導体チップ2を形成し、その後、第13図(b)に示すように、リード37が接着固定された絶縁性フィルム36に半導体チップ2を接着固定する。

次に、半導体チップ2の電極3とリード37の内部リード部37aの先端部との間にバンプ38を介在した状態でボンディングツールにより熱圧着し、半導体チップ2の電極3とリード37とを電気的に接続する。

次に、半導体チップ2の回路形成面に、例えばエポキシ系樹脂に有機溶剤が添加された熱硬化性樹脂からなる封止樹脂39を塗布し、この封

止樹脂 3 9 を熱硬化させて、第 13 図 (c) に示すように、半導体チップ 2、絶縁性フィルム 3 6、複数のリード 3 7 の夫々の内部リード部 3 7 a、複数のバンプ 3 8 等を封止樹脂 3 8 によって樹脂封止する。

次に、第 13 図 (c) に示すように、220 °C ~ 260 °C で封止樹脂 3 9 にベーク処理を施し、封止樹脂 3 9 の硬化反応を安定化させる。
5

次に、封止樹脂 3 9 の温度を常温に戻した後、リード 3 7 の不要部分を切断し、リード 3 7 の外部リード部 3 7 b を所定の形状（例えばガルウイング形状）に折り曲げ成形する。

この後、外観検査を行うと共に、例えば 90 °C で約 16 時間の性能信
10 順性検査を行って良品を選別する。この工程において、性能が低下した半導体装置 3 5 については各性能別に分類して製品出荷することも可能である。

このようにして製造された半導体装置 3 5 は、パーソナル・コンピュータ等の電子機器の組立工程、若しくはメモリ・モジュール等の電子装置の組立工程において、第 12 図に示すように、P C B 等の配線基板 1 6 に実装される。
15

このように、半導体装置 3 5 の製造において、第 4 図に示すように、熱硬化性樹脂を熱硬化させて半導体チップ 2 を樹脂封止する工程 <23> の後に、前記樹脂封止工程 <23> での樹脂封止温度よりも高い温度で
20 前記熱硬化性樹脂にベーク処理を施す工程 <24> を実施することにより、本実施形態 3 においても前述の実施形態 1 と同様の効果が得られる。

また、半導体装置 3 5 の製造において、熱硬化性樹脂を熱硬化させて半導体チップ 2 を樹脂封止する樹脂封止工程 <23> の後であって、半導体チップ 2 の特性を検査する特性検査工程の前に、前記樹脂封止工程
25 における樹脂封止温度よりも高い温度で前記熱硬化性樹脂にベーク処理を施す工程を実施することにより、本実施形態 3 においても前述の実施

形態 1 と同様の効果が得られる。

また、電子装置の製造において、前述の製造方法で製造された半導体装置 35 を配線基板 16 に半田付け実装することにより、本実施形態 3 においても前述の実施形態 1 と同様の効果が得られる。

5 (実施形態 4)

本実施形態 4 では、フェイスアップ方式の BGA 型半導体装置に本発明を適用した例について説明する。

第 14 図は、本実施形態 4 の半導体装置の概略構成を示す模式的断面図であり、

10 第 15 図は、本実施形態 4 の半導体装置を組み込んだ電子装置の概略構成を示す模式的断面図である。

第 14 図に示すように、本実施形態 4 の半導体装置 40 は、インターボーザと呼称されるベース基板（配線基板）41、ベース基板 41 の互いに反対側に位置する主面及び裏面のうちの主面に接着材 44 を介在して接着固定された半導体チップ 2、半導体チップ 2 の回路形成面に配置された複数の電極 3 とベース基板 41 の主面に配置された複数の電極 42 とを夫々電気的に接続する複数のボンディングワイヤ 6、ベース基板 41 の裏面に配置された複数の電極 43 に夫々固着された複数の半田バンプ 45、樹脂封止体 7 等を有する構成になっている。半導体チップ 2、
20 複数のボンディングワイヤ 6 等は、ベース基板 41 の主面側に形成された樹脂封止体 7 によって樹脂封止されている。

このように構成された BGA 型半導体装置 40 は、電子装置の製造において、第 15 図に示すように、PCB 等の配線基板 16 に実装される。半導体装置 40 の実装は、ベース基板 41 の裏面に配置された半田バンプ 45 と、配線基板 16 の電極（配線の一部からなる接続部）17 とを接合することによって行われる。

第16図は、本実施形態4の半導体装置の製造工程を示す模式的断面図であり、

第17図は、第16図に続く半導体装置の製造工程を示す模式的断面図である。

5 まず、第16図(a)に示すように、複数のチップ形成領域が形成された半導体ウエハ15をダイシングにより個片の半導体チップ2へと分割する。

次に、第16図(b)に示すように、分割された半導体チップ2をベース基板41の主面に接着材44を介在して接着固定(ダイボンディング)する。半導体チップ2の接着固定は、半導体チップ2の裏面とベース基板41の主面とを向かい合わせた状態で行う。

次に、第16図(c)に示すように、半導体チップ2の電極3と、ベース基板41の電極42とをボンディングワイヤ6で電気的に接続する(ワイヤボンディング)。

15 次に、第17図(a)に示すように、半導体チップ2、ボンディングワイヤ6等を樹脂封止して樹脂封止体7を形成する。樹脂封止は、片面モールドによるトランスファ・モールディング法で行う。樹脂としては、これに限定されないが、例えば、低応力化を図るため、フェノール系硬化剤、シリコーンゴム及びフィラー等が添加されたエポキシ系の熱硬化性樹脂を用いる。樹脂封止温度(熱硬化させる温度)は約180°Cである。即ち、半導体チップ2、リード4の内部リード部4a、ボンディングワイヤ6、吊りリード13等は、熱硬化性樹脂を熱硬化させることによって樹脂封止される。

次に、第17図(b)に示すように、220°C~260°Cで樹脂封止体7にベーク処理を施し、熱硬化性樹脂の硬化反応を安定化させる。ベーク時間は熱硬化性樹脂の硬化具合に合わせて選択する。なお、ベース

基板 4 1 が樹脂系材料で構成されている場合には、本ペーク処理でベース基板 4 1 も同様に安定化されるという効果もある。

次に、樹脂封止体 7 の温度を常温に戻した後、第 17 図 (c) に示すように、ベース基板 4 1 及び樹脂封止体 7 を切断し、その後、ベース基板 4 1 の電極 4 3 上に半田バンプ 4 5 を形成する。この工程により、第 15 図に示す半導体装置 4 0 がほぼ完成する。

この後、ベース基板 4 1 及び樹脂封止体 7 を含むパッケージの外観検査を行うと共に、製品としての特性検査を行って良品を選別する。特性検査では、例えば 90 °C で約 16 時間のエージング試験を実施した後、半導体チップ 2 に搭載された集積回路の特性を検査する。この工程において、性能が低下した半導体装置 4 0 については各性能別に分類して製品出荷することも可能である。

半田バンプ 4 5 の形成においては様々な方法がある。例えばベース基板 4 1 の電極 4 3 上に半田ボールを供給し、その後、半田ボールを溶融して半田バンプ 4 5 を形成する方法がある。この場合、樹脂封止体 7 は半田ボールを溶融させる温度にさらられるが、この半田ボールの溶融工程において樹脂封止体 7 の硬化反応が安定するとは限らないため、BGA 型半導体装置 4 0 の製造においても、第 4 図に示すように、熱硬化性樹脂を熱硬化させて半導体チップ 2 を樹脂封止する工程 <23> の後に、前記樹脂封止工程 <23> での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にペーク処理を施す工程 <24> を実施することが望ましい。

また、半田バンプ 4 5 を形成する別な方法として、例えば、ベース基板 4 1 の電極 4 3 上に半田ペースト材を介在して半田ボールを供給し、その後、半田ペースト材を溶融して半田バンプ 4 5 を形成する方法がある。この場合においても、半田ペースト材の溶融工程において樹脂封止体 7 の硬化反応が安定するとは限らないため、熱硬化性樹脂を熱硬化さ

せて半導体チップ2を樹脂封止する工程〈23〉の後に、前記樹脂封止工程〈23〉での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にベーク処理を施す工程〈24〉を実施することが望ましい。

(実施形態5)

5 本実施形態5では、MCM(Multi Chip Module)タイプのBGA型半導体装置に本発明を適用した例について説明する。

第18図は、本実施形態5の半導体装置の概略構成を示す模式的断面図である。

10 第18図に示すように、本実施形態5の半導体装置50は、基本的に前述の実施形態4の半導体装置40と同様の構成になっており、半導体装置40と異なる点は、ベース基板41の主面に2つの半導体チップ2を実装した構成になっている。

15 このような半導体装置50の製造においても、第4図に示すように、熱硬化性樹脂を熱硬化させて半導体チップ2を樹脂封止する工程〈23〉の後に、前記樹脂封止工程〈23〉での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にベーク処理を施す工程〈24〉を実施することが望ましい。

20 以上、本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

25 例えば、本発明は、配線基板の主面に半導体チップが実装され、前記配線基板の裏面に外部接続用端子としてランドが配置され、前記半導体チップが熱硬化性樹脂によって樹脂封止されたLGA(Land Grid Array)型半導体装置に適用できる。

また、本発明は、配線基板の主面に突起状電極を介在して半導体チッ

プが実装され、前記配線基板と前記半導体チップとの間に熱硬化性樹脂からなる封止樹脂が充填されたフェイスダウン構造のBGA型及びLGA型半導体装置に適用できる。

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

本発明によれば、実装工程における半導体装置の特性変化を抑制することができる。

本発明によれば、電子装置の製造歩留まりの向上を図ることができる。

10 産業上の利用可能性

以上のように、本発明は、半導体チップを熱硬化性樹脂で封止する半導体装置の製造に有効である。

また、本発明は、半導体チップを熱硬化性樹脂で封止する半導体装置を組み込む電子装置の製造に有効である。

請 求 の 範 囲

1. 熱硬化性樹脂を熱硬化させて半導体チップを樹脂封止する（a）工程の後に、前記（a）工程での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にベーク処理を施す（b）工程を含むことを特徴とする半導体装置の製造方法。
5
2. 請求の範囲第1項に記載の半導体装置の製造方法において、
前記（b）工程は、前記熱硬化性樹脂の硬化を促進させる工程であることを特徴とする半導体装置の製造方法。
- 10 3. 請求の範囲第1項に記載の半導体装置の製造方法において、
前記（b）工程は、220°C乃至260°Cの温度で行うことを特徴とする半導体装置の製造方法。
4. 請求の範囲第1項に記載の半導体装置の製造方法において、
前記（b）工程の後に、前記半導体チップの特性を検査する（c）工程を更に含むことを特徴とする半導体装置の製造方法。
15
5. 請求の範囲第1項に記載の半導体装置の製造方法において、
前記半導体チップは、集積回路を内蔵した半導体チップであることを特徴とする半導体装置の製造方法。
6. 請求の範囲第1項に記載の半導体装置の製造方法において、
20 前記（a）工程は、トランスファ・モールディング法で行うことを特徴とする半導体装置の製造方法。
7. 請求の範囲第1項に記載の半導体装置の製造方法において、
前記（a）工程は、ポッティング法で行うことを特徴とする半導体装置の製造方法。
25
8. 熱硬化性樹脂を熱硬化させて半導体チップを樹脂封止する（a）工程と、

前記（a）工程の後に、前記（a）工程での樹脂封止温度以下の温度で前記熱硬化性樹脂にペーク処理を施す（b）工程と、

前記（b）工程の後に、前記（a）工程での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にペーク処理を施す（c）工程と、

5 前記（c）工程の後に、前記半導体チップの特性を検査する（d）工程とを含むことを特徴とする半導体装置の製造方法。

9. 熱硬化性樹脂を熱硬化させて、半導体チップ及び前記半導体チップの正面の電極と電気的に接続されたリードを樹脂封止する（a）工程と、

10 前記（a）工程の後に、前記（a）工程での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にペーク処理を施す（b）工程と、

前記（b）工程の後に、前記半導体チップの特性を検査する（c）工程とを含むことを特徴とする半導体装置の製造方法。

10. 請求の範囲第9項に記載の半導体装置の製造方法において、

前記半導体チップの電極は、ボンディングワイヤを介して前記リード15と電気的に接続されていることを特徴とする半導体装置の製造方法。

11. 請求の範囲第9項に記載の半導体装置の製造方法において、

前記リードは、前記半導体チップの正面に接着固定されていることを特徴とする半導体装置の製造方法。

12. 請求の範囲第9項に記載の半導体装置の製造方法において、

20 前記リードは、前記半導体チップの周囲に配置されていることを特徴とする半導体装置の製造方法。

13. 請求の範囲第9項に記載の半導体装置の製造方法において、

前記半導体チップの電極は、突起状電極を介在して前記リードと電気的に接続されていることを特徴とする半導体装置の製造方法。

25 14. 熱硬化性樹脂を硬化させて、配線基板に実装された半導体チップを樹脂封止する（a）工程と、

前記（a）工程の後に、前記（a）工程での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にペーク処理を施す（b）工程と、

前記（b）工程の後に、前記半導体チップの特性を検査する（c）工程とを含むことを特徴とする半導体装置の製造方法。

- 5 15. 熱硬化性樹脂を硬化させて半導体チップを樹脂封止する工程の後であって、前記半導体チップの特性を検査する工程の前に、前記樹脂封止工程での樹脂封止温度よりも高い温度で前記熱硬化性樹脂にペーク処理を施す工程を含む製造方法によって製造された半導体装置を準備する工程と、
- 10 前記半導体装置を基板に半田付け実装する工程とを含むことを特徴とする電子装置の製造方法。
16. 請求の範囲第15項に記載の電子装置の製造方法において、
前記実装工程は、Pbフリー半田で行うことの特徴とする電子装置の
製造方法。

FIG. 1

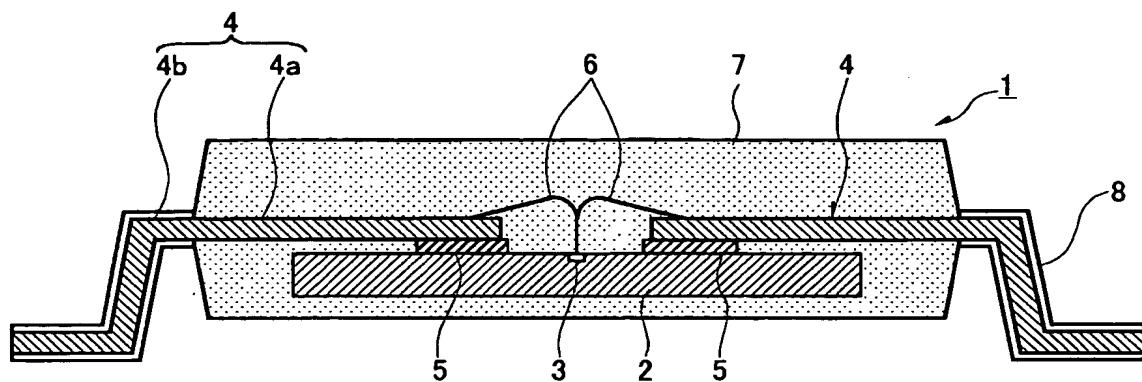


FIG. 2

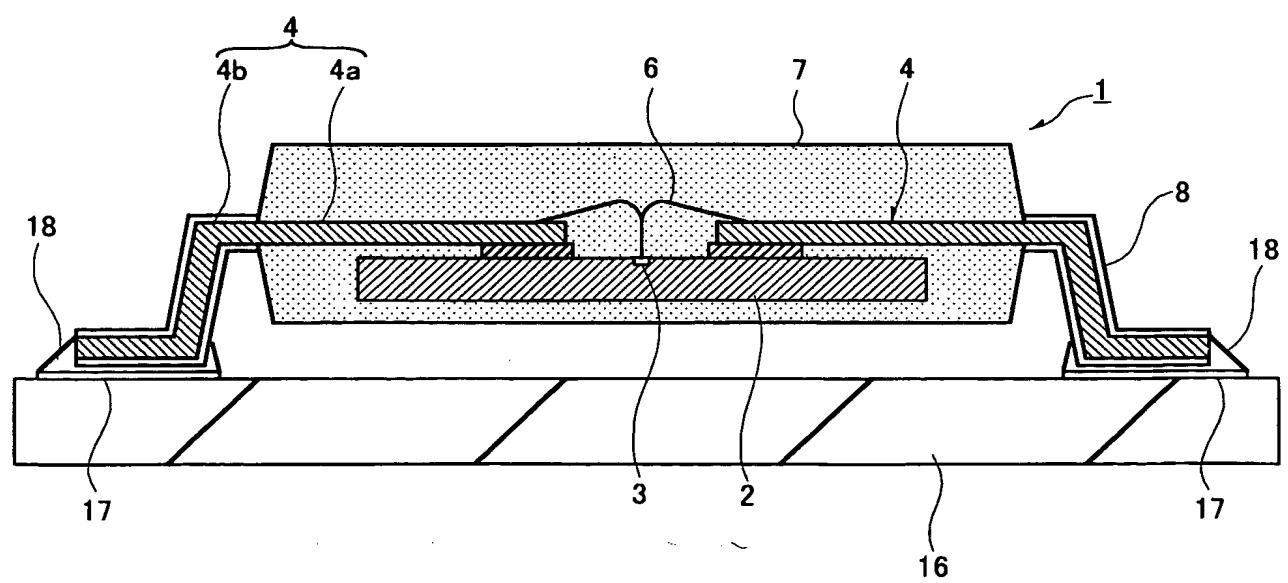


FIG. 3

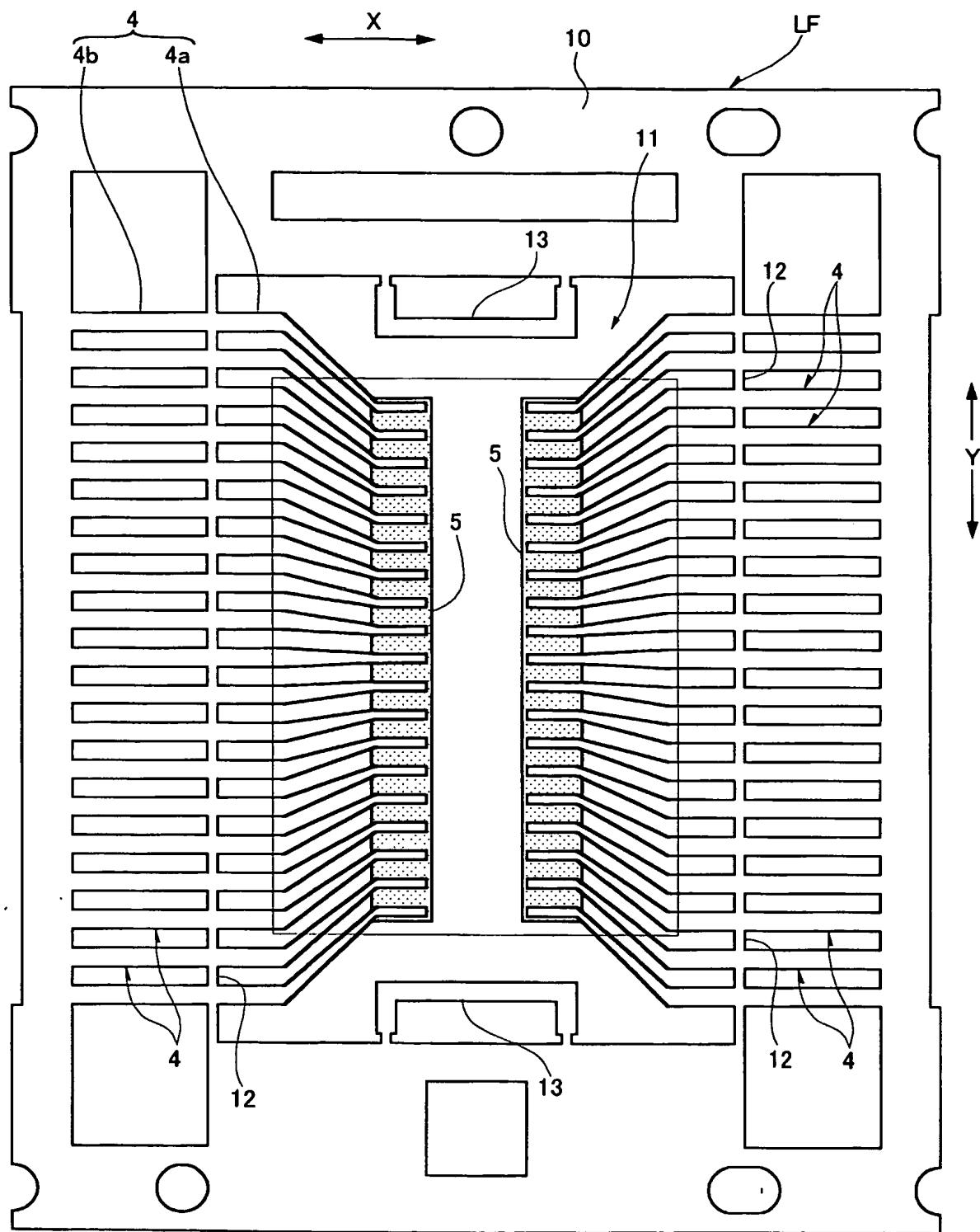


FIG. 4

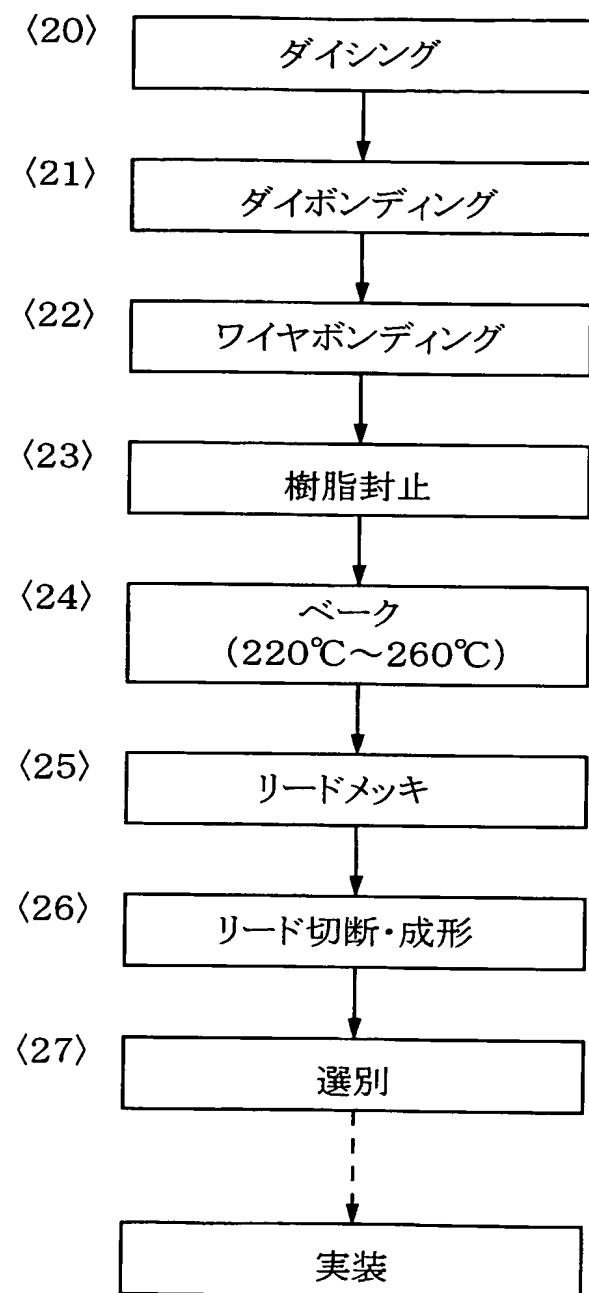


FIG. 5

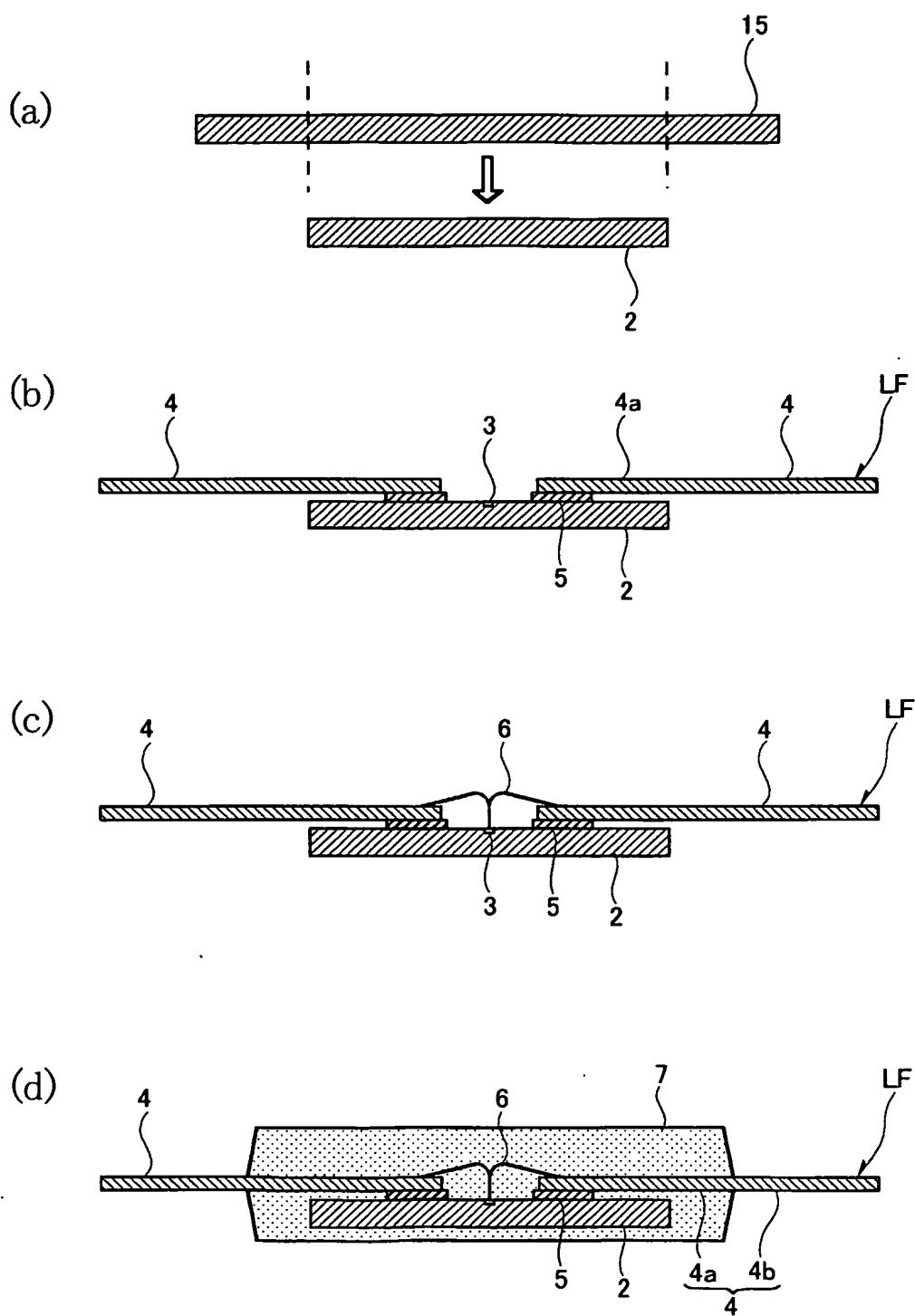
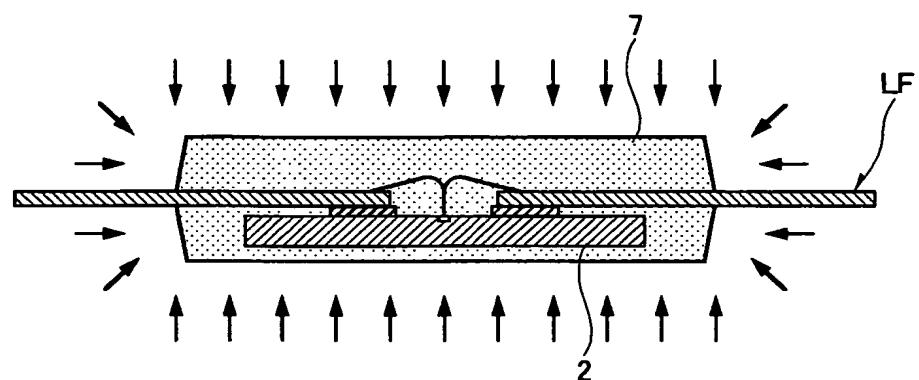
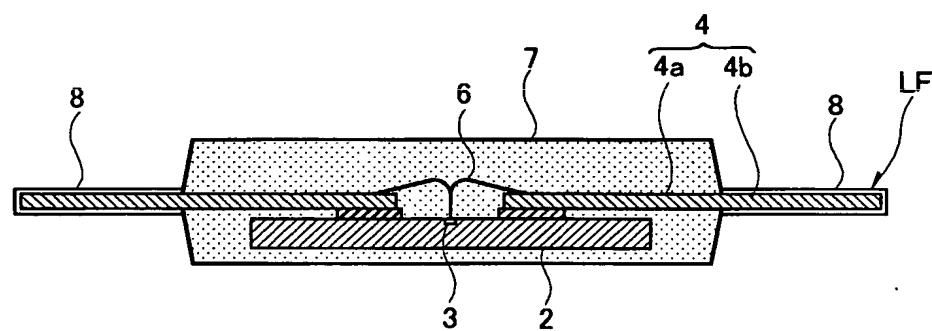


FIG. 6

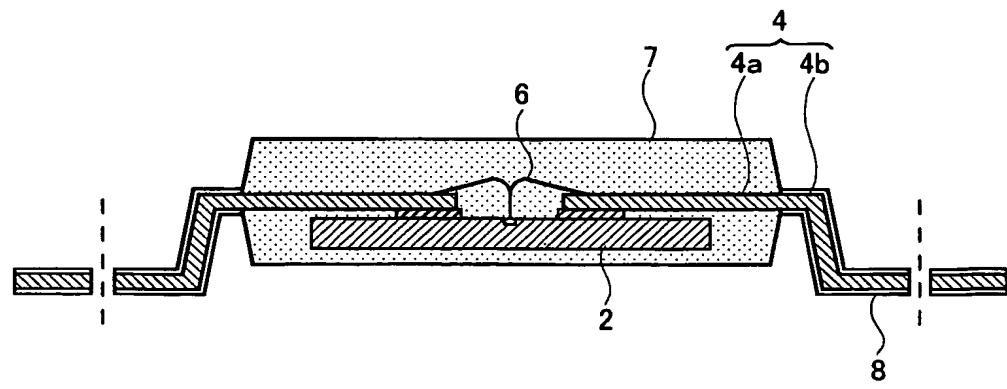
(a)



(b)



(c)



6/14

FIG. 7

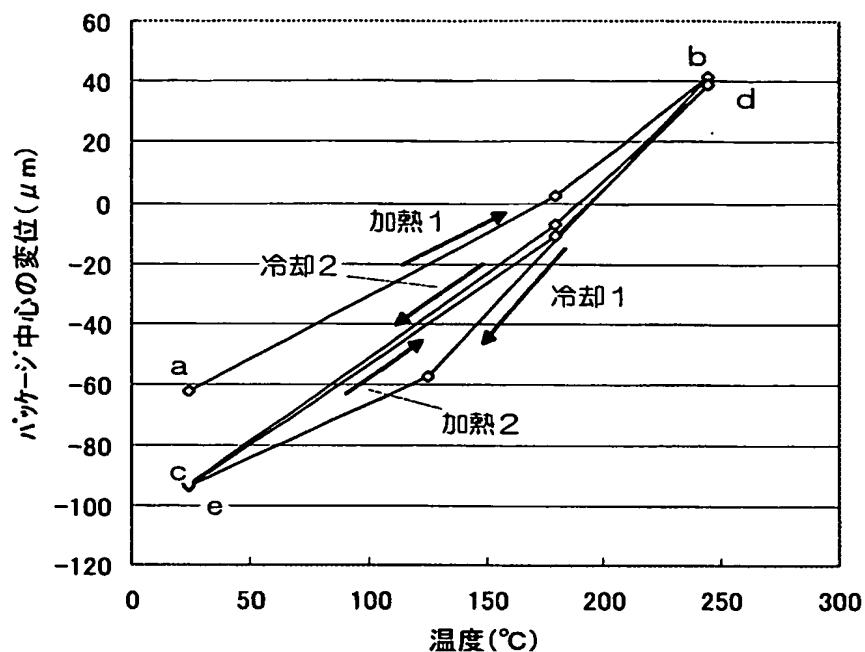
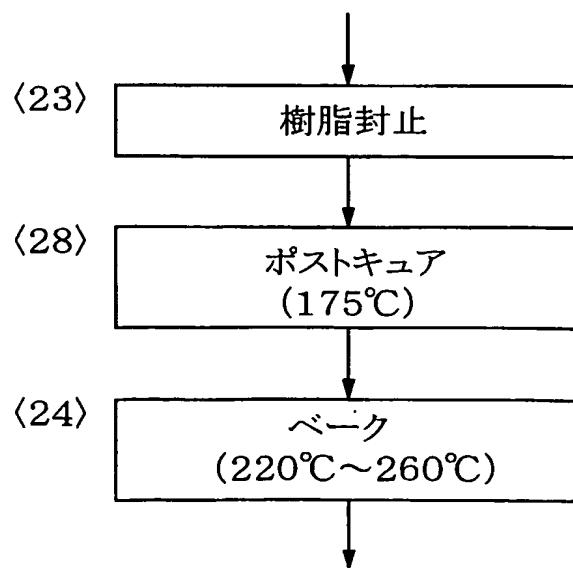


FIG. 8



7/14

FIG. 9

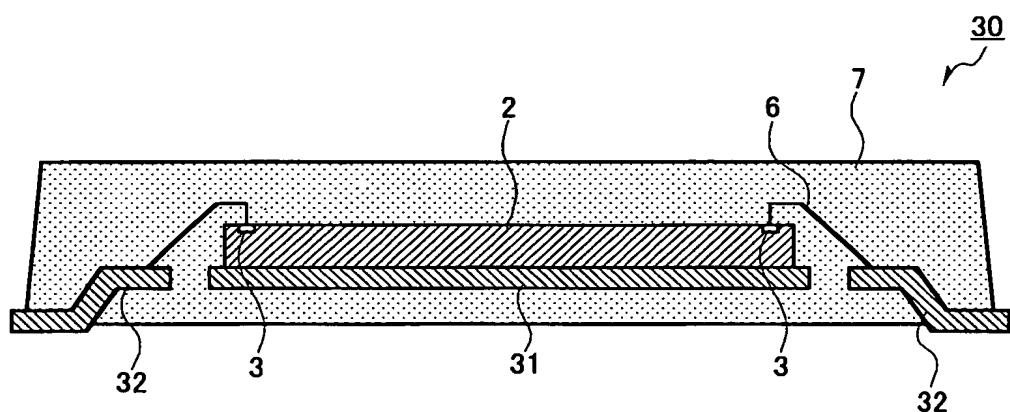


FIG. 10

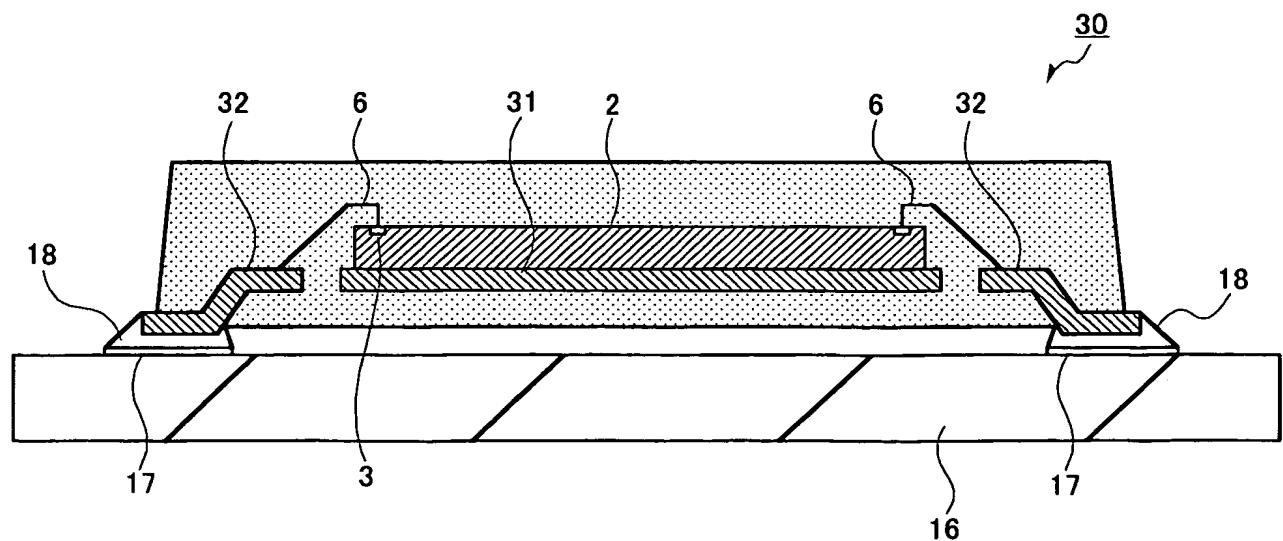
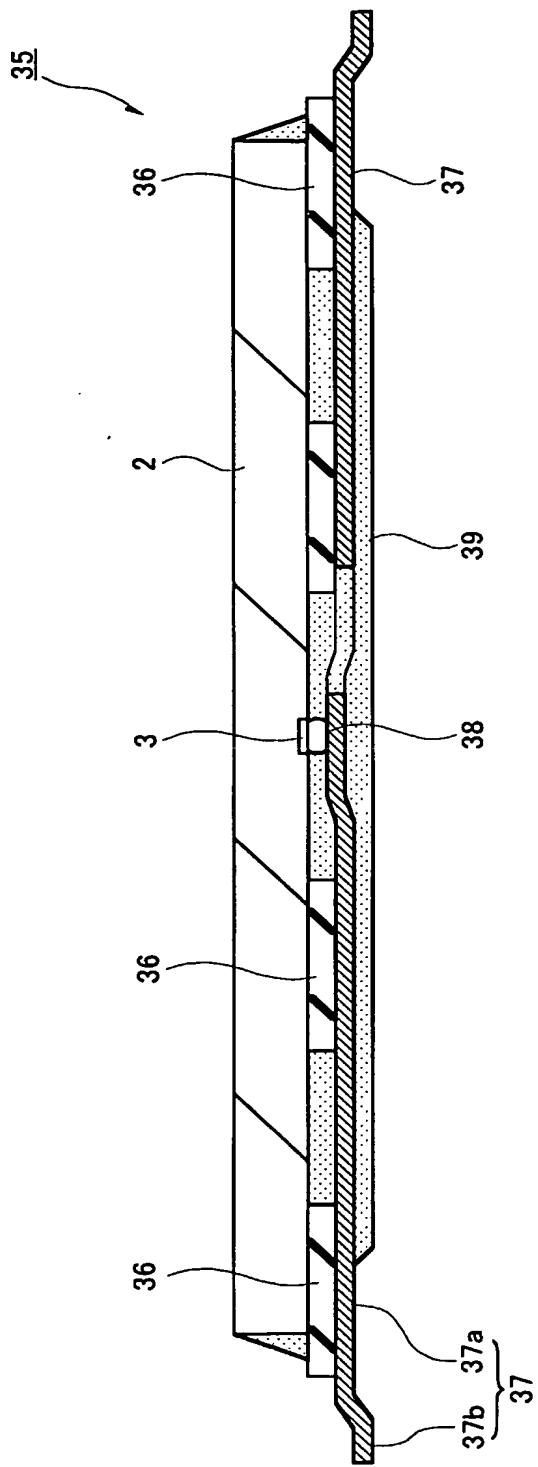


FIG. 11



9/14

FIG. 12

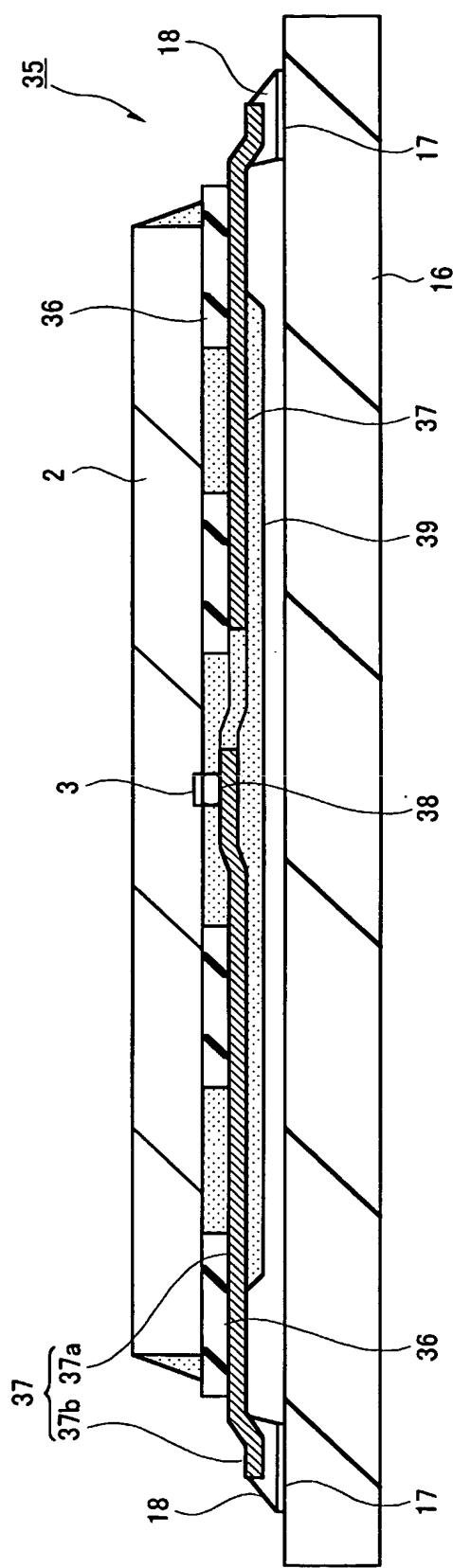
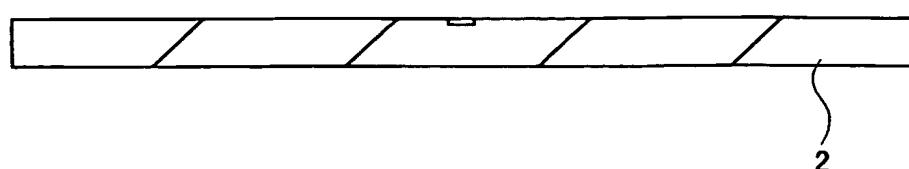
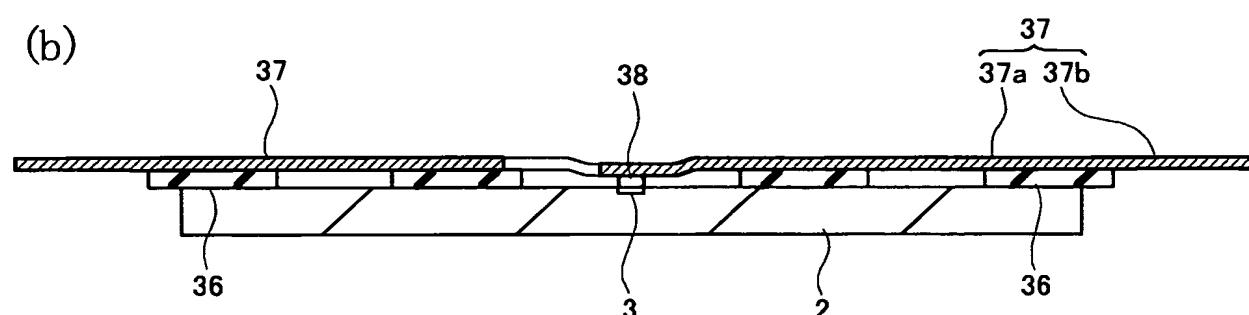


FIG. 13

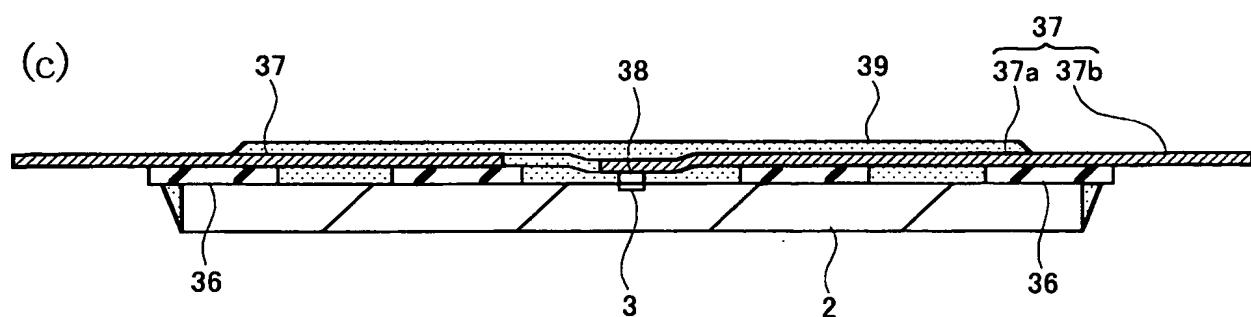
(a)



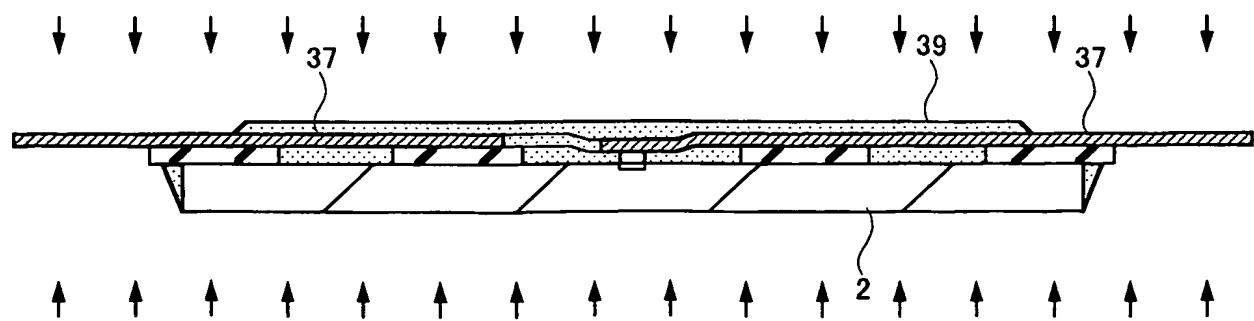
(b)



(c)



(d)



11/14

FIG. 14

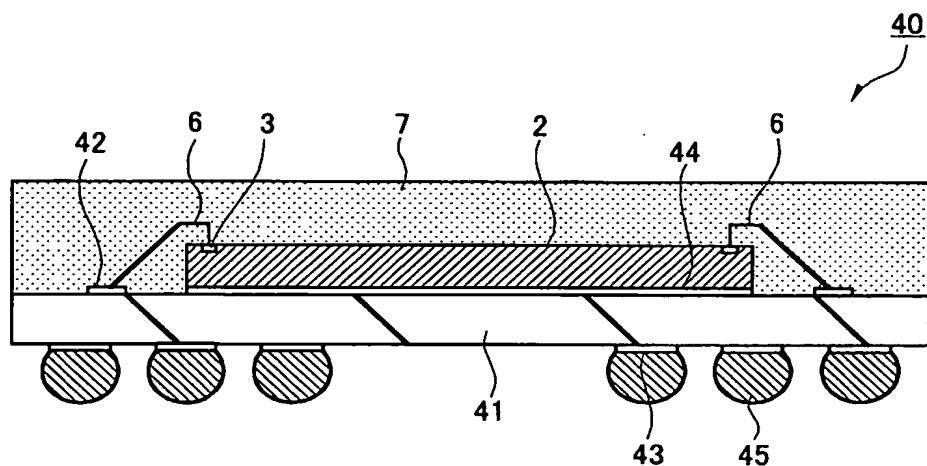


FIG. 15

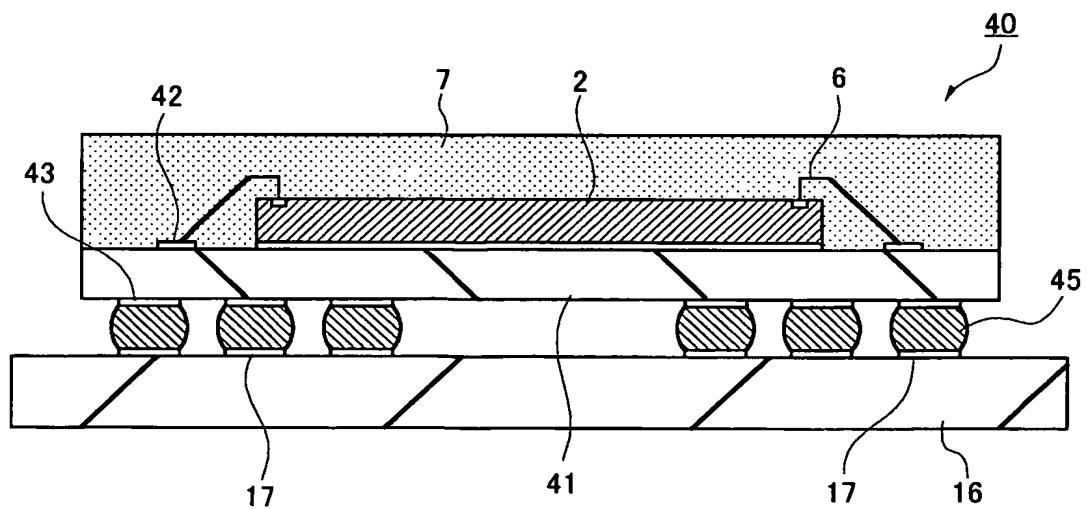
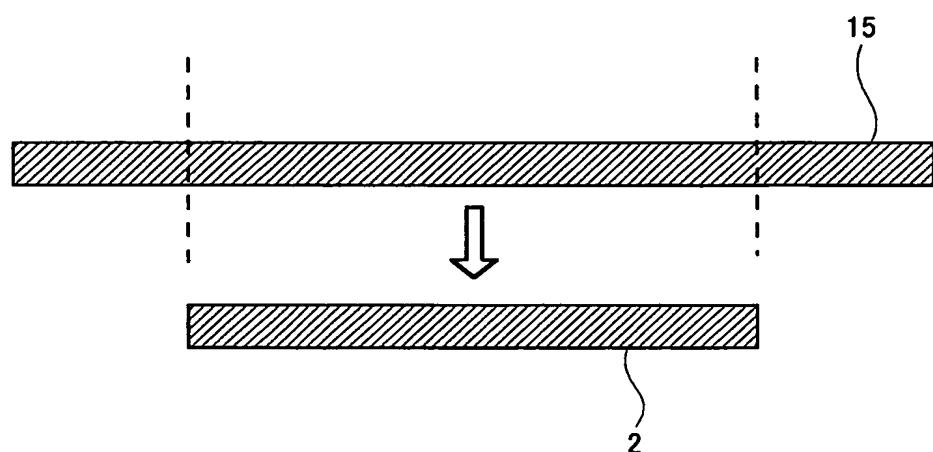
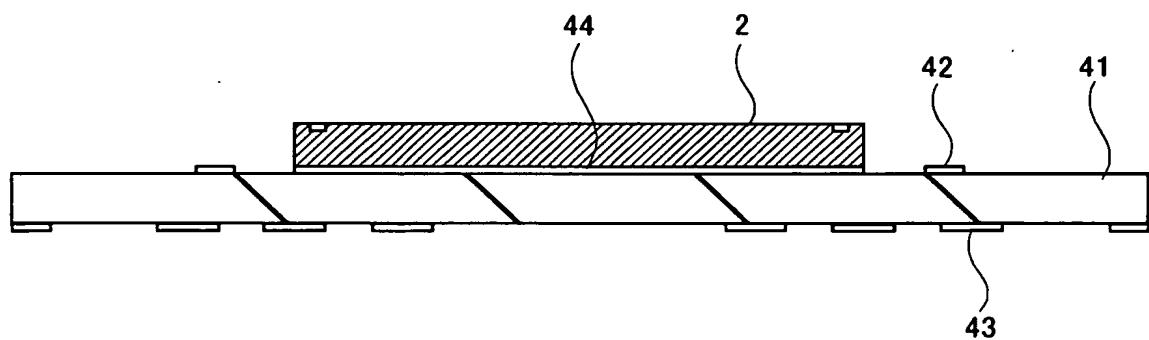


FIG. 16

(a)



(b)



(c)

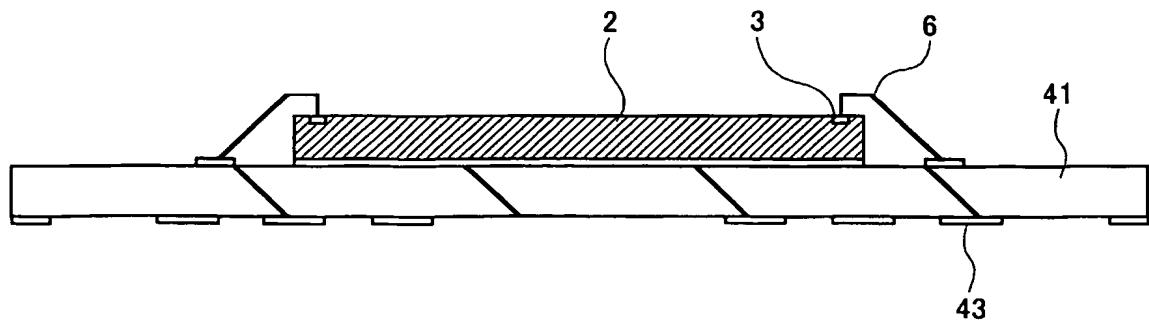
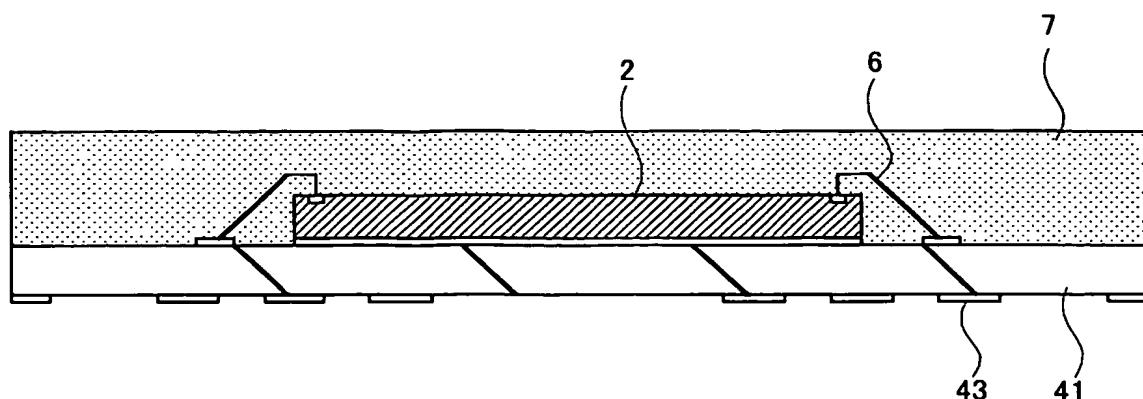
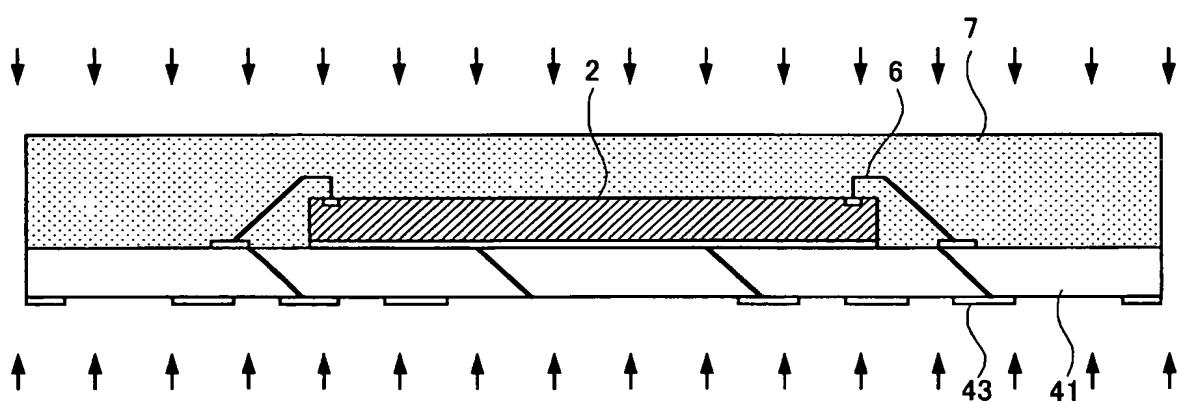


FIG. 17

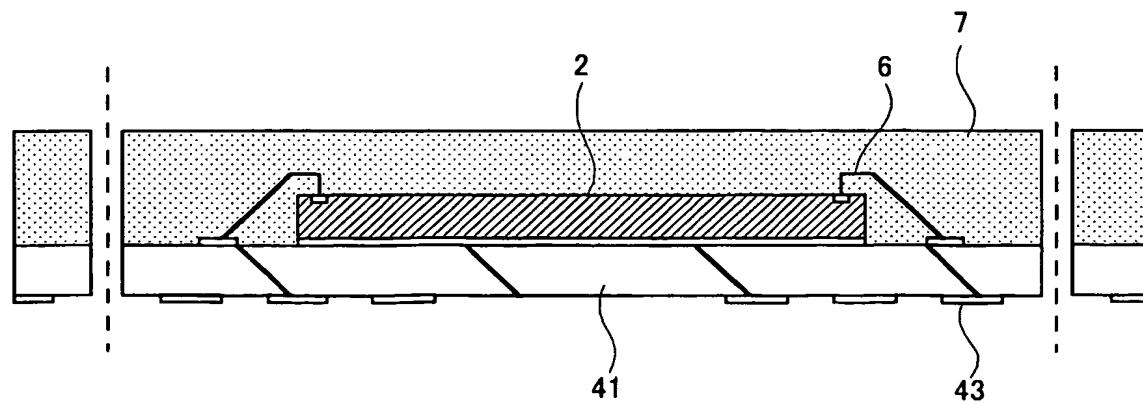
(a)



(b)

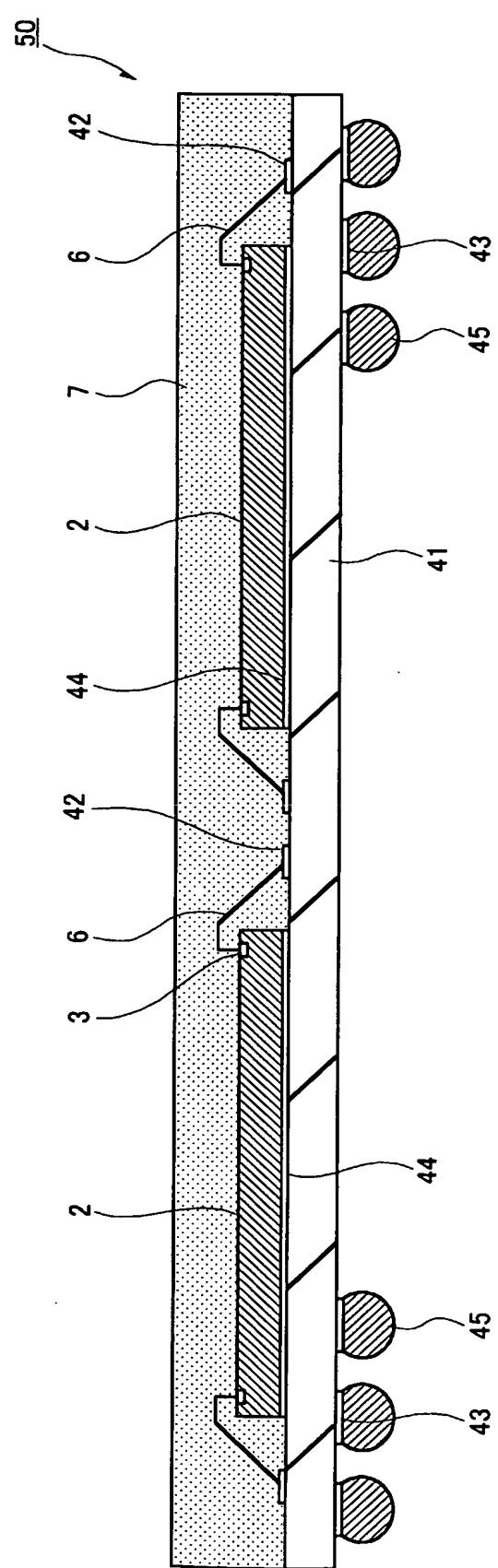


(c)



14/14

FIG. 18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/09975

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/56, H01L23/12

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/56, H01L23/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002
 Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-9111 A (Mitsui High-tec Inc.), 11 January, 2002 (11.01.02), Par. Nos. [0014] to [0021]; Figs. 1 to 4 (Family: none)	1-5,14,15 6-13,16
Y	JP 2000-150582 A (Matsushita Electric Industrial Co., Ltd.), 30 May, 2000 (30.05.00), Par. Nos. [0004] to [0013]; Figs. 5 to 7 (Family: none)	6-13,16

 Further documents are listed in the continuation of Box C. See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search 05 December, 2002 (05.12.02)	Date of mailing of the international search report 17 December, 2002 (17.12.02)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Faxsimile No.	Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int. Cl' H01L21/56, H01L23/12

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl' H01L21/56, H01L23/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2002年
 日本国登録実用新案公報 1994-2002年
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2002-9111 A (株式会社三井ハイテック) 2002. 01. 11, 【0014】-【0021】欄, 第1-4図 (ファミリーなし)	1-5, 14, 15 6-13, 16
Y	JP 2000-150582 A (松下電器産業株式会社) 2000. 05. 30, 【0004】-【0013】欄, 第5-7図 (ファミリーなし)	6-13, 16

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 05.12.02	国際調査報告の発送日 17.12.02
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 中澤 登印 4R 8727 電話番号 03-3581-1101 内線 6365